

PAT-NO: JP405075026A
DOCUMENT-IDENTIFIER: JP 05075026 A
TITLE: MANUFACTURE OF RESISTOR ELEMENT
PUBN-DATE: March 26, 1993

INVENTOR-INFORMATION:
NAME
JIN, YASUSHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
MATSUSHITA ELECTRON CORP N/A

APPL-NO: JP03232117
APPL-DATE: September 12, 1991

INT-CL (IPC): H01L027/04
US-CL-CURRENT: 257/380, 257/904

ABSTRACT:

PURPOSE: To completely flatten a resistor element by suppressing variation in resistance value by the heat treatment in after process, and simplifying the control of the resistance value of a polysilicon film of high resistance.

CONSTITUTION: A groove having a certain curvature is made in a semiconductor substrate 1, and a thermal oxide film 4 and a nitride film 5 are formed in order, and then, a polysilicon film 6 is charged in the groove, and the polysilicon film 6 on the surface excluding the groove is

removed by etchback,
and further a nitride film 8 is formed on the polysilicon
film 6, and a CVD
film 9 is formed on this nitride film 8, and a contact
window is formed on the
polysilicon film 6, and aluminum wiring 10 is formed on
this contact window.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75026

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H01L 27/04

識別記号

庁内整理番号

P 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-232117

(22)出願日 平成3年(1991)9月12日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 神 康

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

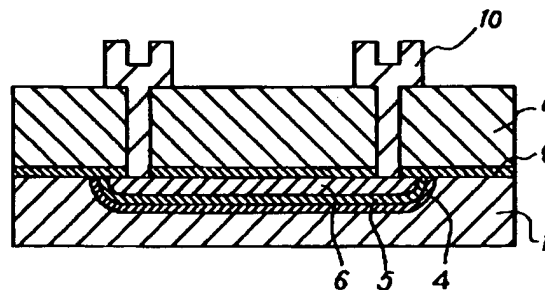
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 抵抗素子の製造方法

(57)【要約】

【目的】後工程での熱処理による抵抗値変動を抑えるとともに高抵抗のポリシリコン膜の抵抗値制御を簡略化し、抵抗素子の完全平坦化を図る。

【構成】半導体基板1に、一定の曲率を持った溝を形成し、熱酸化膜4および窒化膜5を順次形成したのちポリシリコン膜6を溝に充填し、前記溝以外の表面のポリシリコン膜6はエッチバックによって除去し、さらにポリシリコン膜6の上に窒化膜8を形成し、この窒化膜8上にCVD膜9を形成し、前記ポリシリコン膜6上にコンタクト窓を形成し、このコンタクト窓上にアルミニウム配線10を形成する。



9-層間膜用・CVD膜

10-アルミニウム配線

1

【特許請求の範囲】

【請求項1】 半導体基板上に、抵抗素子のパターンを形成する工程と、前記パターンをマスクとして所望する深さと曲率を得るように半導体基板をシリコンエッチングする工程と、前記シリコンエッチングされた半導体基板に酸化膜を形成する工程と、前記酸化膜上に窒化膜を成長させる工程と、前記窒化膜上にポリシリコン膜を成長させる工程と、前記半導体基板のシリコンエッチされた箇所以外に堆積されたポリシリコン膜および窒化膜と酸化膜をエッチバック技術により除去し平坦化する工程と、前記ポリシリコン膜上に窒化膜を成長させる工程と、前記窒化膜上にCVD膜を成長させる工程と、前記ポリシリコン膜上にコンタクト窓を開く工程と、前記コンタクト窓上にアルミニウム配線を形成する工程よりなることを特徴とする抵抗素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ポリシリコン抵抗素子を基板埋め込み型にして抵抗体のコーナー部の電界集中を緩和することで耐圧を向上させ、またポリシリコン抵抗素子を窒化膜で覆いポリシリコン膜内にドーパされた不純物の拡散を抑えることで抵抗値の制御性を簡単にし、さらに微細プロセスの配線工程での断線対策に大きく寄与する平坦化を可能にした抵抗素子の製造方法に関するものである。

【0002】

【従来の技術】従来、抵抗素子としては、形成方法の簡単な拡散抵抗やイオン注入抵抗が多用されており、ポリシリコン抵抗は抵抗値の制御が困難なため、不純物をドーパした場合は数kΩ程度の抵抗素子かもしくは、不純物をドーパせずに数百kΩ以上の高抵抗としての使用が殆どである。多くの回路ではアルミニウム配線との組み合わせでジャンパーもしくはポリシリコン配線としての使用が多く、実際の回路構成用の負荷抵抗としての使用は少なく、高抵抗の負荷が必要な場合はシート抵抗の高い拡散抵抗もしくはイオン注入抵抗を使用していた。しかし、近年のドライバー駆動回路などでは、高耐圧抵抗でしかも電流能力の高い抵抗素子つまり、ピンチオフ電圧の高い抵抗素子を採用する場合があります、今迄の拡散抵抗素子のピンチオフ電圧の限界から、ポリシリコン抵抗素子を回路の負荷として使用する場合は一般的になりつつある。以下に、一般的なポリシリコンを用いた高抵抗素子の製造方法と構造について図7および図8を参照しながら説明する。

【0003】図に示すように、半導体基板21、熱酸化膜22、ポリシリコン膜23、CVD酸化膜24、アルミニウム電極25、段差26で構成されたポリシリコン抵抗の製造方法については既に周知の事実であるため簡単に説明する。まず、半導体基板21上に図示のごとく熱酸化膜22を形成し、その後表面の洗浄を行なったのち、LP-CV

2

D技術によりポリシリコン膜23を成長させ、目標とするシート抵抗値になるよう不純物をドーパし裏面処理を行なう。その後、所望する抵抗素子のパターンニングをフォトリソ技術およびドライエッチ技術により形成する。このとき、抵抗素子の抵抗幅はその加工精度により決定される。その後、パシベーション膜としてCVD酸化膜24を成長させ、電極取り出し用のコンタクト窓を開き、アルミニウム電極25をスパッタ技術、フォトリソ技術、ドライエッチ技術を駆使することで形成する。

【0004】

【発明が解決しようとする課題】しかしながら、前記従来例の構成では、図7、図8に示す如くポリシリコン膜23と半導体基板21との絶縁のために使用している熱酸化膜22は高耐圧の抵抗素子形成時に酸化膜の破壊を考えて使用する電圧により膜厚を増加させることで酸化膜破壊を防止していた。また、形成されたポリシリコン膜23の断面は図8に示すように長方形になっており、高電圧の場合は特に角の部分での電界集中が発生し、抵抗体の不良の原因になる場合があった。また、抵抗値を決定するバロメータとして抵抗素子の加工精度およびドーパされる不純物の濃度変化があげられ、加工精度はリソグラフィ技術とドライエッチ技術によりある程度までの向上が可能であるが、不純物濃度の場合は一般に知られているようにポリシリコン内の不純物の拡散速度は、シリコンに比べて数段速く、そのため後工程での熱処理により大きく変動するため、不純物が活性状態にある数十kΩ程度の抵抗形成は非常に困難であった。また回路構成上、ポリシリコン膜23上にアルミニウム配線を横切らせる場合においてはポリシリコン膜23と下地の熱酸化膜22による段差が形成されるが、その段差をCVD酸化膜24によりある程度の平坦化を行なっても、図8に示すように段差26が残り、これ以上の平坦化は通常処理では困難であり、段差26が急峻な場合にはスパッタリングしたアルミニウムのカバレッジが悪化し、アルミニウム配線の断線の原因となりうるという問題を有していた。

【0005】本発明は、このような課題を解決するもので、後工程での熱処理による抵抗値変動を抑えるとともに高抵抗のポリシリコン膜の抵抗値制御を簡略化し、抵抗素子の完全平坦化を図ることを目的とする。

【0006】

【課題を解決するための手段】この課題を解決するために本発明は、半導体基板上に、抵抗素子のパターンを形成する工程と、前記パターンをマスクとして所望する深さと曲率を得るように半導体基板をシリコンエッチングする工程と、前記シリコンエッチングされた半導体基板に酸化膜を形成する工程と、前記酸化膜上に窒化膜を成長させる工程と、前記窒化膜上にポリシリコン膜を成長させる工程と、前記半導体基板のシリコンエッチされた箇所以外に堆積されたポリシリコン膜および窒化膜と酸化膜をエッチバック技術により除去し平坦化する工程

3

と、前記ポリシリコン膜上に窒化膜を成長させる工程と、前記窒化膜上にCVD膜を成長させる工程と、前記ポリシリコン膜上にコンタクト窓を開口する工程と、前記コンタクト窓上にアルミニウム配線を形成する工程よりなるものである。

【0007】

【作用】以上のような方法によって、抵抗素子断面を考えたとき、下地の半導体基板との接合部は、一定の曲率を持った構造であるため、高耐圧で使用の際に電界の集中を緩和でき、下地絶縁膜（ここでは窒化膜と酸化膜）への影響も減少される。よって抵抗素子自身の信頼性の向上につながりしかもピンチオフ電圧を従来より向上させることが可能である。またポリシリコン膜の下に窒化膜を敷き詰めてさらに上部も窒化膜で覆い完全に包み込む構造にすることで、ポリシリコン膜中にドーパされた不純物の酸化膜への拡散とCVD膜への拡散を抑えることが可能であり、活性状態にある不純物を窒化膜で防止することで、熱処理による抵抗値への影響を減少できる。また、回路構成において抵抗素子上をアルミニウム配線が横切る場合でもポリシリコン膜を半導体基板内に埋め込むことで段差がなく完全に平坦化されたポリシリコン膜の形成が可能であり、高集積のLSI、IC回路などの場合、微細プロセスの配線工程での断線も克服できる。また、ポリシリコン膜上の窒化膜を絶縁膜とし、下部電極をポリシリコン膜として、その上部にアルミニウム電極を取り付けたMIS容量の形成も可能であり、電圧依存性、温度依存性が少なく浮遊容量の低減が可能な容量素子の形成も可能である。

【0008】

【実施例】以下、本発明の一実施例について図面（図1～図6）を参照しながら説明する。まず、図1において1は半導体基板、2は保護酸化膜、3はシリコンエッチでのマスクとなる窒化膜である。また、図2において4は熱酸化膜、5は抵抗下部の窒化膜である。次に、図3において6はポリシリコン膜、7はエッチバック用のレジストである。また、図4において8は抵抗上部と半導体基板表面保護用の窒化膜である。さらに、図5、図6において9はCVD法により堆積させた層間膜用CVD膜、10はアルミニウム配線（アルミニウム電極を含む）である。

【0009】次に上記構成の製造工程について説明すると、まず図1において一定濃度の半導体基板1に保護酸化膜2をドライ酸化により約50nm程度成長させ、連続処理にてLP-CVDにより窒化膜3を堆積したのち、所望する深さと曲率ポリシリコン膜のパターンニングをフォトリソ技術により形成し、先に述べた保護酸化膜2と窒化膜3をレジストをマスクとしてF系ガスにより異方性にドライエッチする。その状態で保護酸化膜2と窒化膜3をマスクとして半導体基板1をCF₄ガス+O₂ガスを主体としたエッチングガスにより等方性のドラ

4

イエッチングを行ない、図1のaの部分のエッチングする。このときのエッチングガスの条件は、シリコンに対する窒化膜3と保護酸化膜2の選択比が高い条件で、しかもシリコンに対する縦方向と横方向のエッチングレートが同等であることが望ましい。等方性のシリコンエッチの終了後に、エッチングマスクとして使用した窒化膜3をリン酸などのウェット処理にて除去し、保護酸化膜2を非酸+非化アンモニウムの混合液などにより除去し、半導体基板1の表面を完全にむき出しの状態にする。

【0010】次に図2においてドライ酸化によりシリコンエッチのダメージ回復のために半導体基板1の上に熱酸化膜4を約50nm程度形成したのち、LP-CVDにより窒化膜5を堆積させる。言うまでもないが、このとき使用されるLP-CVD装置は、窒化膜5のガバレッジに優れたものが望ましい。また窒化膜5の膜厚は、目標とするポリシリコン膜6の抵抗値および使用する電圧により窒化膜5の破壊電圧と窒化膜厚の関係から導き出し、膜厚のパラツキを考慮した上で決定する。参考のため、ここでは、使用電圧を50Vと仮定して窒化膜厚を約100nmとする。

【0011】次に図3において窒化膜5の堆積後、直ちにLP-CVDによりポリシリコン膜6を堆積させる。堆積後のポリシリコン膜6へは熱処理による不純物のドーパは行なわず、目標とする抵抗値になるようにイオン注入により不純物のドーパを行なう。このときの不純物は砒素などのN型不純物よりもボロンなどのP型不純物の方が原子の移動度が小さく、熱処理による抵抗値変動を抑えることができるため望ましい。ポリシリコン膜6を堆積したのち、半導体基板1の裏面ポリシリコン膜の除去を行ない、所望する領域をフォトリソ技術により開口し前記のイオン注入を行なう。その後、全面に厚膜のレジスト7を塗布し、表面を平坦にした状態でエッチバックを行なう。エッチバックの条件としては、最初はレジスト7とポリシリコン膜6との選択比が約1:1のHBrとHClガスを主体としたエッチングガスによりエッチングを行ない、フィールド上のポリシリコン膜6を除去し、窒化膜5を露出させると同時に、エッチングガスにF系ガスを加えてポリシリコン膜6と窒化膜5の選択比が1:1程度のガス条件でエッチングし、フィールド上の窒化膜5が除去された状態で熱酸化膜4のエッチングを行なうためのガスを加え処理を行なう。このようにしてフィールド上のポリシリコン膜6、窒化膜5、熱酸化膜4を完全に除去し、抵抗部の溝内に埋め込まれたポリシリコン膜6が露出するまでエッチングを行ない、ポリシリコン膜6と窒化膜5と熱酸化膜4と半導体基板1の表面が面一状になるまで処理する。

【0012】次に図4に示すように、ポリシリコン膜6の上部に表面保護用の窒化膜8を堆積させ、窒化膜5と上部の窒化膜8にて完全にポリシリコン膜6を完全に包

5

み込む構造にし、ポリシリコン膜6にドーパされた不純物の酸化膜その他への拡散を抑止することで安定した抵抗値が得られる。次に図5および図6に示すように層間膜として一定濃度のCVD膜9を窒化膜8の上に堆積させ、低温短時間のリフロー処理を行なって平坦度をさらに完全な状態にしたのち、コンタクト窓のパターンニングをフォトリソ技術と酸化膜系のドライエッチにより形成する。このときポリシリコン膜6上の窒化膜8もエッチングされる条件で処理し、CVD膜9と窒化膜8の界面に段差が生じないように異方性のドライエッチにて処理する。コンタクト窓開口後にアルミニウムのスパッタを行ない、フォトリソ技術とドライエッチ技術を駆使しアルミニウム配線10を形成をする。なお、図6は前記従来例の図8に見られる段差が発生しないことを示している。

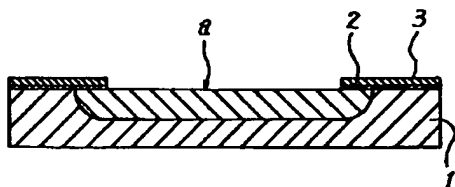
【0013】

【発明の効果】以上のように本発明によれば、ポリシリコン膜を埋め込み型にして窒化膜により覆うことで、高抵抗のポリシリコン膜の形成において、使用する電圧に関係なく抵抗値の安定したポリシリコン膜が実現でき、さらにピンチオフ電圧の向上が期待できる。また、抵抗体となるポリシリコン膜を完全に半導体基板内に埋め込むことで抵抗素子の完全平坦化が可能であり、微細ルー

【図面の簡単な説明】

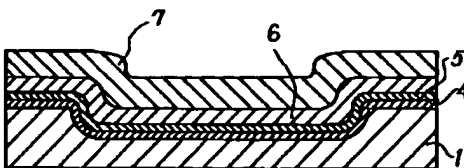
【図1】本発明の一実施例におけるポリシリコン抵抗素

【図1】



1-半導体基板
2-保護酸化膜
3-窒化膜

【図3】



6-ポリシリコン膜
7-レジスト

6

子の製造方法の第1工程を示す縦断面図である。

【図2】本発明の一実施例におけるポリシリコン抵抗素子の製造方法の第2工程を示す縦断面図である。

【図3】本発明の一実施例におけるポリシリコン抵抗素子の製造方法の第3工程を示す縦断面図である。

【図4】本発明の一実施例におけるポリシリコン抵抗素子の製造方法の第4工程を示す縦断面図である。

【図5】本発明の一実施例におけるポリシリコン抵抗素子の製造方法の第5工程を示す縦断面図である。

10 【図6】同横断面図である。

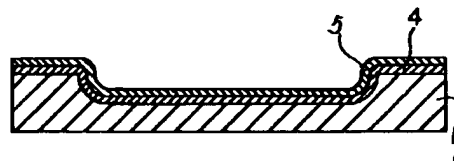
【図7】従来例によるポリシリコン抵抗素子の縦断面図である。

【図8】従来例によるポリシリコン抵抗素子の横断面図である。

【符号の説明】

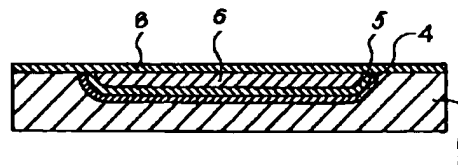
- 1 半導体基板
- 2 保護酸化膜
- 3 窒化膜
- 4 熱酸化膜
- 5 窒化膜
- 6 ポリシリコン膜
- 7 レジスト
- 8 窒化膜
- 9 層間膜用CVD膜
- 10 アルミニウム配線

【図2】



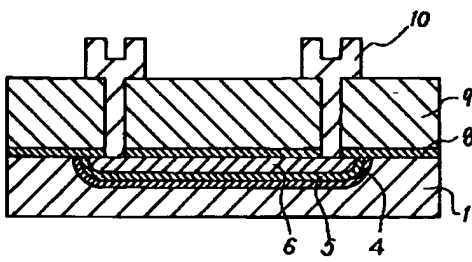
4-熱酸化膜
5-窒化膜

【図4】



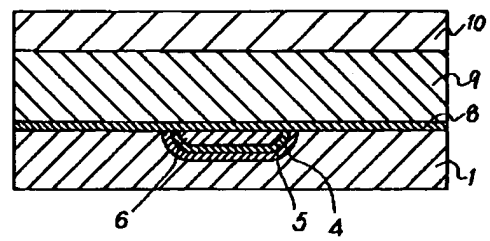
8-窒化膜

【図5】

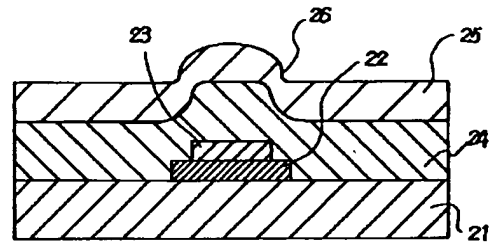


9-層間膜用-CVD膜
10-アルミニウム配線

【図6】



【図8】



【図7】

